

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05906877 **Image available**

THIN-FILM TRANSISTOR ELEMENT

PUB. NO.: 10-189977 [JP 10189977 A]

PUBLISHED: July 21, 1998 (19980721)

INVENTOR(s): TAKECHI KAZUE

HIRANO NAOTO

NISHIDA SHINICHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 08-341584 [JP 96341584]

FILED: December 20, 1996 (19961220)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a forward staggered type thin-film transistor element which enables light-off current reduction, while maintaining good on- characteristic without the use of a light-screening film.

SOLUTION: In a forward staggered type thin-film transistor element which is used as a switching element of a pixel electrode of an active matrix liquid crystal display and wherein a source electrode 11 and a drain electrode 12, a silicon film 13 forming an active layer, a silicon nitride film 14 which is a gate insulation film, and a gate electrode 17 are laminated and formed one by one on a transparent insulating substrate 10. Further, either a source electrode 11 or a drain electrode 12 is connected to a pixel electrode, a fine crystalline silicon film which is formed by plasma CVD method by using mixture gas system, to which diborane is added in a concentration range of 5 to 300ppm to monosilane as a raw material is used as a silicon film 13.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189977

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 8 A

21/336

21/205

21/205

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-341584

(22) 出願日 平成8年(1996)12月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 竹知 和重

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 平野 直人

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 西田 真一

東京都港区芝五丁目7番1号 日本電気株式会社内

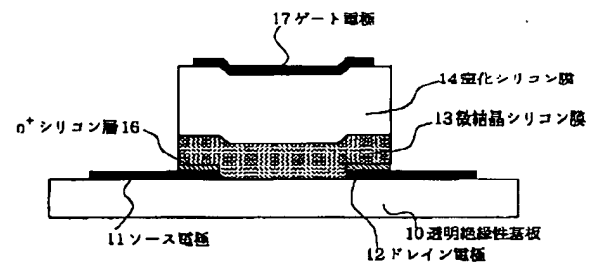
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 薄膜トランジスタ素子

(57) 【要約】

【課題】 遮光膜を用いなくて良好なオン特性を維持しつつ光オフ電流低減化が可能な順スタガード型薄膜トランジスタ素子を提供する。

【解決手段】 アクティブマトリックス液晶ディスプレイの画素電極のスイッチング素子として用いられ、透明絶縁性基板10上にソース電極11とドレイン電極12、活性層を形成するシリコン膜13、ゲート絶縁膜である窒化シリコン膜14、ゲート電極17が順次積層されて形成され、ソース電極11とドレイン電極12のいずれかが画素電極に接続される順スタガード型薄膜トランジスタ素子において、シリコン膜13として、モノシランに対してジボランを5～300ppmの濃度範囲で添加した混合ガス系を原料としてプラズマCVD法で形成された微結晶シリコン膜を用いる。



(2)

特開平10-189977

2

【特許請求の範囲】

【請求項1】 アクティブマトリックス液晶ディスプレイの画素電極のスイッチング素子として用いられ、透明絶縁性基板上にソース電極とドレイン電極、活性層を形成するシリコン膜、ゲート絶縁膜、ゲート電極が順次積層されて形成され、前記ソース電極とドレイン電極のいずれかが前記画素電極に接続される順スタガード型薄膜トランジスタ素子において、

前記シリコン膜として、モノシランに対してジボランを5～300ppmの濃度範囲で添加した混合ガス系を原料としてプラズマCVD法で形成された微結晶シリコン膜を用いることを特徴とする薄膜トランジスタ素子。

【請求項2】 前記微結晶シリコン膜が、前記ゲート電極の下部にゲート絶縁膜を介して全面に層状に形成されている、請求項1に記載の薄膜トランジスタ素子。

【請求項3】 前記微結晶シリコン膜が、前記ソース電極と前記ドレイン電極に接続してアイランド状に形成されている請求項1に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜トランジスタ素子に関し、特にアクティブマトリックス液晶ディスプレイに使用する順スタガード型薄膜トランジスタ素子に関する。

【0002】

【従来の技術】 近年、水素化非晶質シリコン膜を活性層として用いた薄膜トランジスタ(TFT)が各表示画素のスイッチ素子として用いられる、アクティブマトリックス型液晶ディスプレイが量産化されている。特にノートパソコンの普及に伴い、液晶ディスプレイの需要が急激に増大し、その生産性の向上が要求されている。

【0003】 図5は、従来の技術の液晶ディスプレイの画素のスイッチング素子として用いられている順スタガード型薄膜トランジスタ素子の断面図であり、図中符号51はソース電極、52はドレイン電極、53は非晶質シリコン膜、54はゲート絶縁膜、56はn+シリコン層、57はゲート電極、58は遮光層、59は透明絶縁膜である。逆スタガード型に比べ順スタガード型薄膜トランジスタでは、作成の際のマスク数の低減化により、生産性の向上が実現できる。順スタガード構造では、ゲート電極57が活性層である非晶質シリコン膜53の上部に存在するため、下側のガラス基板である透明絶縁性基板50の裏面側から照射されるバックライト光が非晶質シリコン層53に直接入射して非晶質シリコン層53内にキャリアを生成させリーク電流である光オフ電流を発生させるために、接続する画素電極を放電させ表示品質を低下させる。この現象を防止するためこの図に示すように、透明絶縁膜59を介して非晶質シリコン膜53の下方に金属等の遮光膜58を設けることによりバックチャンネル側への入射光を遮光し、光オフ電流を低く抑え

ている。これにより実用的なオフ抵抗値が得られ、良好な保持特性が確保される。

【0004】 また近年、図6に示すように、薄膜トランジスタ作成プロセスの更なる簡略化を目的として、順スタガード型薄膜トランジスタにおいて、非晶質シリコン層を薄膜化することにより光感度を低下させ、遮光膜の省略を可能にする技術開発が行われている。

【0005】 図6は従来技術の非晶質シリコン層を薄膜化した順スタガード型薄膜トランジスタ素子の断面図であり、図中符号61はソース電極、62はドレイン電極、63は非晶質シリコン膜、64はゲート絶縁膜、66はn+シリコン層、67はゲート電極である。

【0006】 例えば、ASIA DISPLAY'95 957-958では、非晶質シリコン層の膜厚を200オングストローム程度まで薄膜化することにより、ノートパソコン用液晶ディスプレイにおいて、遮光膜を用いることなくクロストークの抑制が可能になるという報告がある。

【0007】 ジボランを添加した微結晶シリコン膜の形成技術としては、Materials Research Society Symposium Proceedings Vol. 336 1994 25-30に報告例がある。これは、逆スタガード型薄膜トランジスタの活性層に微結晶シリコン膜を用いることにより、高移動度化を実現するというものである。

【0008】

【発明が解決しようとする課題】 従来の順スタガード型薄膜トランジスタにおいては、活性層である非晶質シリコン膜の膜厚として300～1000オングストローム程度の値が用いられている。この非晶質シリコン膜の膜厚を200オングストローム程度以下まで薄膜化すれば、上述の報告例のように、薄膜トランジスタの光感度が低下し遮光膜を用いることなく低光オフ電流化が可能であるが、同時にオン電流も低下してしまうという問題がある。このような非晶質シリコン層の薄膜化に伴うオン電流の低下現象は、一般的に知られていることである。また、薄膜トランジスタの活性層に微結晶シリコン膜を用いる場合には、いかにしてドナー性の欠陥を補償し真性化するかの問題があった。今後、液晶ディスプレイの更なる大面積化・高精細化に伴い、薄膜トランジスタにおいても高い性能が要求され、活性層薄膜化時の高いオン電流の維持、即ち高移動度薄膜トランジスタが必須である。

【0009】 従って、従来の非晶質シリコン膜よりも高い電子移動度を有する材料を活性層として用いることにより、活性層の薄膜化時においても良好なオン特性を維持しつつ光オフ電流低減化が可能な新しい順スタガード型薄膜トランジスタデバイス技術の開発が必要である。

【0010】 本発明の目的は、遮光膜を用いずに良好なオン特性を維持しつつ光オフ電流低減化が可能な順ス

(3)

特開平10-189977

3

タガード型薄膜トランジスタ素子を提供することにある。

【0011】

【課題を解決するための手段】本発明の薄膜トランジスタ素子は、アクティブマトリックス液晶ディスプレイの画素電極のスイッチング素子として用いられ、透明絶縁性基板上にソース電極とドレイン電極、活性層を形成するシリコン膜、ゲート絶縁膜、ゲート電極が順次積層されて形成され、ソース電極とドレイン電極のいずれかが画素電極に接続される順スタガード型薄膜トランジスタ素子において、シリコン膜として、モノシランに対してジボランを5〜300ppmの濃度範囲で添加した混合ガス系を原料としてプラズマCVD法で形成された微結晶シリコン膜を用いる。

【0012】微結晶シリコン膜が、ゲート電極の下部にゲート絶縁膜を介して全面に層状に形成されていてもよく、微結晶シリコン膜が、ソース電極とドレイン電極に接続してアイランド状に形成されていてもよい。

【0013】このようにして形成された微結晶シリコン膜は、従来の非晶質シリコン膜よりも高い電子移動度を有しているため、薄膜化時において低光オフ電流で且つ良好なオン特性を維持できる。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の第1の実施の形態の液晶ディスプレイの画素のスイッチング素子として用いられている順スタガード型薄膜トランジスタ素子の断面図であり、図2は第1の実施の形態の薄膜トランジスタ素子の製造工程を示す断面図であり、(a)はソース・ドレイン電極を形成した状態、(b)は電極上にリンを堆積した状態、(c)は活性層、ゲート絶縁膜、ゲート電極を堆積した状態、(d)はゲート電極、ゲート絶縁膜、活性層をパターンニングした状態を示す。図中符号11はソース電極、12はドレイン電極、13は微結晶シリコン膜、14はゲート絶縁層である窒化シリコン膜、16はn+シリコン層、17はゲート電極である。

【0015】本発明の第1の実施の形態の製造工程について、図2(a)〜(d)を用いて詳細に説明する。図2(a)に示すように、絶縁性基板であるガラス基板10上に形成した透明導電性膜ITO膜を所望の形状にパターンニングしてソース電極11、ドレイン電極12を形成する。その後、図2(b)に示すように、プラズマCVD法を用いて、フォスフィンプラズマ処理によるリン15の堆積を行う。さらに図2(c)に示すように、プラズマCVD法により活性層となる微結晶シリコン膜13の堆積、ゲート絶縁膜となる窒化シリコン膜14の堆積を順次行い、続けてスパッタリング法によりゲート電極17用金属を堆積する。微結晶シリコン膜13の堆積の際、リンの拡散によりソース電極11およびドレイン

4

ン電極12と微結晶シリコン膜13との界面にn型化されたシリコン層16が形成される。その後、図2(d)に示すように、ゲート電極17用金属、窒化シリコン膜14、微結晶シリコン膜13及びn型化されたシリコン層16を所望の形状にパターンニングすることにより、図1に示す本発明の第1の実施の形態の薄膜トランジスタ素子が完成する。本構造では、ゲート電極17、窒化シリコン膜14、微結晶シリコン膜13及びn型化されたシリコン層16を同一のマスクでエッチング加工するため、ゲート電極17の下部全体に微結晶シリコン膜13が層状に存在する。また、同一マスクでの加工により、プロセスの高スループット化、低コスト化が実現できる。

【0016】図3は本発明の第2の実施の形態の薄膜トランジスタ素子の製造工程を示す断面図であり、(a)はソース・ドレイン電極を形成した状態、(b)は電極上にリンを堆積した状態、(c)は活性層、ゲート絶縁膜を堆積しアイランド形状にパターンニングした状態、

(d)は保護膜とゲート電極を堆積しパターンニングした状態を示し、図中符号31はソース電極、32はドレイン電極、33は微結晶シリコン膜、34はゲート絶縁層である窒化シリコン膜、36はn+シリコン層、37はゲート電極である。

【0017】本発明の第2の実施の形態の製造工程について、図3(a)〜(d)を用いて詳細に説明する。図3(a)に示すように、絶縁性基板であるガラス基板30上に形成した透明導電性膜ITO膜を所望の形状にパターンニングしてソース電極31とドレイン電極32を形成する。その後、図3(b)に示すように、プラズマCVD法を用いて、フォスフィンプラズマ処理によるリン35の堆積を行う。さらに図3(c)に示すように、プラズマCVD法により活性層となる微結晶シリコン膜33の堆積、ゲート絶縁膜となる窒化シリコン膜34の堆積を順次行い、これらの膜を薄膜トランジスタ素子部分のみに所望のアイランド形状にパターンニングする。微結晶シリコン膜33の堆積の際、リンの拡散によりソース電極31およびドレイン電極32と微結晶シリコン膜33との界面にn型化されたシリコン層36が形成される。更に、保護膜として窒化シリコン膜38をプラズマCVD法により形成し、続けてスパッタリング法によりゲート電極37用金属を堆積し、パターンニングすることにより、図3(d)に示すように、本発明の第2の実施の形態の薄膜トランジスタ素子が完成する。本構造では、第1の実施の形態に比べプロセス数が増加してしまうものの、微結晶シリコン膜33がアイランド化されているため、ゲート絶縁膜を介したゲート電極・微結晶シリコン膜間のリーク電流をより小さく抑えることが可能である。

【0018】通常、微結晶シリコン膜は、モノシランに対して10倍以上の流量の水素を混合した高水素希釈モ

(4)

特開平10-189977

5

ノシランを原料ガスとして用いることにより形成されてきた。しかしながら、このような条件下で作成された微結晶シリコン膜の電気伝導度の活性化エネルギーを測定してみるといずれも0.2 eV程度の値を有しており、n型化されていると考えられた。従って、薄膜トランジスタの活性層として微結晶シリコン膜を用いる場合、微量ドーピングを行うことによりドナー性の欠陥を補償し、真性化する必要がある。そこで本発明では、モノシランに対してジボランを5~300 ppmの濃度範囲で微量添加した高水素希釈モノシラン・ジボラン混合ガス系を原料として用いることにより、真性化された微結晶シリコン膜の形成を行う。これにより、0.5~0.6 eV程度の真性シリコンと同程度の活性化エネルギーを有する微結晶シリコン膜の形成が可能となった。

【0019】次に、本発明の実施の形態に基づく実施例について図面を参照して説明する。

【0020】

【実施例】本発明の第1の実施の形態の第1の実施例を説明する。図2(a)~(d)に示す工程順により、本発明の第1の実施の形態の第1の実施例として順スタガード型薄膜トランジスタを作成した。透明導電性膜ITO膜はスパッタ法により500オングストローム形成した。フォスフィンプラズマ処理に関しては、アルゴンベース0.5%フォスフィンガスを用いて行った。活性層である微結晶シリコン膜の膜厚は100オングストローム、ゲート絶縁膜である窒化シリコン膜の膜厚は400オングストロームである。微結晶シリコン膜の形成条件としては、モノシラン15 SCCM、水素ベース20 ppmジボラン40 SCCM、水素1000 SCCMの原料ガスを用い、ガス圧力150 Pa、投入電力密度0.04 W/cm²、基板温度300℃である。この条件下で形成した微結晶シリコン膜の活性化エネルギーは、0.6 eV程度であった。この実施例の順スタガード型薄膜トランジスタの光照射時のゲート電圧・ドレイン電流特性を図4に示す。図4は本発明の第1の実施の形態の第1の実施例の光照射状態でのゲート電圧・ドレイン電流特性のグラフであり、比較のため、従来の非晶質シリコン膜100オングストロームを活性層に用いた薄膜トランジスタの特性も示してある。いずれの薄膜トランジスタにおいても遮光膜は存在せず、光は活性層に入射する。この図からわかるように、本発明による薄膜トランジスタでは、遮光膜を用いることなく十分低い光オフ電流が実現されており、またオン領域も良好な特性が維持されており、電界効果移動度として0.4 cm²/V·s⁻¹程度の液晶ディスプレイに適用可能な実用的な値が得られた。

【0021】本発明の第1の実施の形態の第2の実施例を説明する。活性層である微結晶シリコン膜の形成条件以外は第1の実施例の場合と同様である。微結晶シリコン膜の形成条件としては、モノシラン15 SCCM、水

6

素ベース20 ppmジボラン150 SCCM、水素1000 SCCMの原料ガスを用い、ガス圧力150 Pa、投入電力密度0.02 W/cm²、基板温度300℃である。この条件下で形成した微結晶シリコン膜の活性化エネルギーは、やはり0.6 eV程度であった。投入電力密度を低くした場合、ジボランの分解効率が低下するため、第1の実施例の場合に比べてジボランガスの供給量を高くする必要があった。このような微結晶シリコン膜を用いた薄膜トランジスタにおいても、第1の実施例と同様な良好な特性が得られた。

10

【0022】次に本発明の第2の実施の形態の実施例を説明する。図3(a)~(d)に示す工程順により、本発明の第2の実施の形態の実施例として順スタガード型薄膜トランジスタを作成した。透明導電膜ITO膜はスパッタ法により500オングストローム形成した。フォスフィンプラズマ処理に関しては、アルゴンベース0.5%フォスフィンガスを用いて行った。その後連続して活性層である微結晶シリコン膜を100オングストローム、ゲート絶縁膜である窒化シリコン膜を500オングストロームプラズマCVD法により形成した。微結晶シリコン膜の形成条件としては、モノシラン15 SCCM、水素ベース20 ppmジボラン40 SCCM、水素1000 SCCMの原料ガスを用い、ガス圧力150 Pa、投入電力密度0.04 W/cm²、基板温度300℃である。この条件下で形成した微結晶シリコン膜の活性化エネルギーは、0.6 eV程度であった。続いて、これらの微結晶シリコン膜、窒化シリコン膜を薄膜トランジスタ素子部分のみに所望の形状にパターンニングする。その後、プラズマCVD法により窒化シリコン膜を3500オングストローム基板全面に形成する。最後に、スパッタリング法によりゲート電極材料としてCrを1000オングストローム堆積し、所望の形状にパターンニングすることにより薄膜トランジスタ素子が完成する。

20

30

40

50

【0023】ソース・ドレイン電極あるいはゲート電極材料としては、Cr、Al、Mo等の金属でも可能である。活性層成膜時の水素希釈量に関しては、モノシラン流量に対して10倍以上の流量の水素で希釈することにより微結晶化が実現できる。ジボランの添加量に関しては、5 ppm未満では投入電力密度を十分高くしてもドナー性の欠陥を十分に補償することができなかった。また、300 ppmを越えてしまうと逆にp型の性質を示すようになり、モノシランに対して、5 ppmから300 ppmの範囲の添加量が適当である。

【0024】

【発明の効果】以上説明したように本発明を用いることにより、順スタガード型薄膜トランジスタのオン特性を実用レベルに維持しつつ、遮光膜を用いることなく光オフ電流の低減化が実現できた。本発明により、高性能順スタガード型薄膜トランジスタ作成プロセスの簡略化・

7

低コスト化が実現でき、大面積・高精細TFT-LCDの低価格化が可能となるという効果がある。

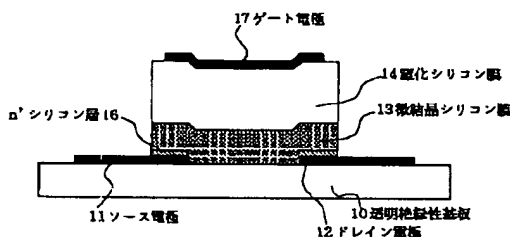
【図面の簡単な説明】

【図1】図1は本発明の第1の実施の形態の液晶ディスプレイの画素のスイッチング素子として用いられている順スタガード型薄膜トランジスタ素子の断面図である。

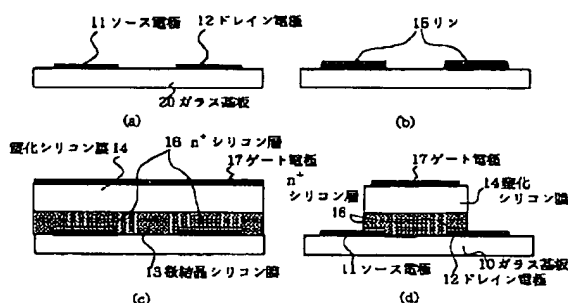
【図2】第1の実施の形態の薄膜トランジスタ素子の製造工程を示す断面図である。(a)はソース・ドレイン電極を形成した状態を示す。(b)は電極上にリンを堆積した状態を示す。(c)は活性層、ゲート絶縁膜、ゲート電極を堆積した状態を示す。(d)はゲート電極、ゲート絶縁膜、活性層をパターンニングした状態を示す。

【図3】本発明の第2の実施の形態の薄膜トランジスタ素子の製造工程を示す断面図である。(a)はソース・ドレイン電極を形成した状態を示す。(b)は電極上にリンを堆積した状態を示す。(c)は活性層、ゲート絶縁膜を堆積しアイランド形状にパターンニングした状態を示す。(d)は保護膜とゲート電極を堆積しパターンニングした状態を示す。

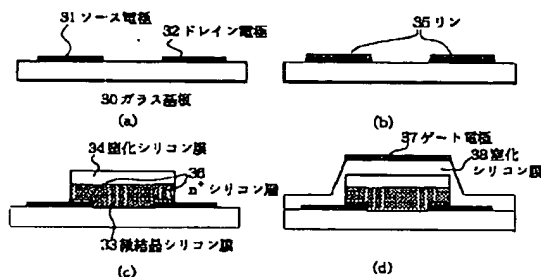
【図1】



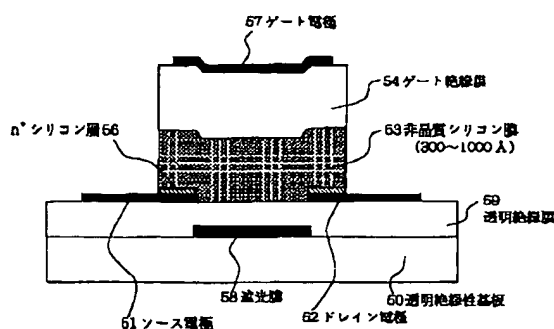
【図2】



【図3】



【図5】



(5)

特開平10-189977

8

【図4】本発明の第1の実施の形態の第1の実施例の光照射状態でのゲート電圧・ドレイン電流特性のグラフである。

【図5】従来技術の液晶ディスプレイの画素のスイッチング素子として用いられている順スタガード型薄膜トランジスタ素子の断面図である。

【図6】従来技術の非晶質シリコン層を薄膜化した順スタガード型薄膜トランジスタ素子の断面図である。

【符号の説明】

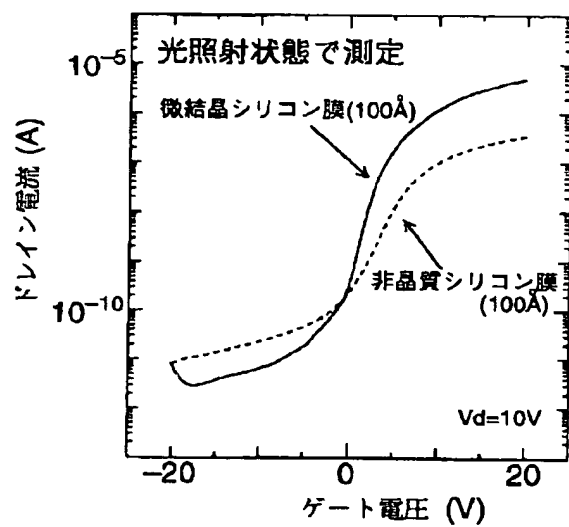
- | | |
|-------------|----------|
| 11、31、51、61 | ソース電極 |
| 12、32、52、62 | ドレイン電極 |
| 13、33 | 微結晶シリコン膜 |
| 14、34 | 窒化シリコン膜 |
| 16、36、56、66 | n+シリコン層 |
| 17、37、57、67 | ゲート電極 |
| 53、63 | 非晶質シリコン膜 |
| 54、64 | ゲート絶縁膜 |
| 58 | 遮光層 |
| 59 | 透明絶縁膜 |

20

(6)

特開平10-189977

【図4】



【図6】

